

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

02836744 **Image available**
ACTIVE MATRIX SUBSTRATE

PUB. NO.: 01-134344 [JP 1134344 A]

PUBLISHED: May 26, 1989 (19890526)

INVENTOR(s): KATAYAMA MIKIO

 TANAKA HIROHISA

 SHIMADA YASUNORI

 MORIMOTO HIROSHI

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-292468 [JP 87292468]

FILED: November 19, 1987 (19871119)

INTL CLASS: [4] G02F-001/133; G09F-009/30; H01L-021/82

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

 Conductors)

JOURNAL: Section: P, Section No. 923, Vol. 13, No. 382, Pg. 143,
August 24, 1989 (19890824)

ABSTRACT

PURPOSE: To prevent a gate bus from breaking and decreasing in resistance by forming a gate bus line in multilayered structure of conductive thin films except at the intersection part of the gate and bus line of a thin film transistor(TR) array provided in a matrix on an insulating substrate.

CONSTITUTION: A by-pass line 2 is formed in parallel to a gate bus line 1 and connected through a through hole 3 of an inter-layer insulating film to form a laminate body of thin conductor films. No by-pass part is provided to a cross part 4 where the source bus line 5 is crossed so as to decrease the number of crosses. The gate bus line 1 is a thin conductor film consisting of ≥ 2 layers of titanium, tantalum, etc. This constitution decreases the possibility of the breaking of a gate bus and reduces the line resistance to improve the picture quality of an active matrix display due to the breaking of the gate bus line.

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑱ 公開特許公報 (A)

平1-134344

⑲ Int.Cl.⁴G 02 F 1/133
G 09 F 9/30
H 01 L 21/82

識別記号

3 2 7
3 3 8

厅内整理番号

7370-2H
7335-5C
7925-5F

⑳ 公開 平成1年(1989)5月26日

審査請求 未請求 発明の数 1 (全 9 頁)

㉑ 発明の名称 アクティブマトリクス基板

㉒ 特願 昭62-292468

㉓ 出願 昭62(1987)11月19日

㉔ 発明者 片山 幹雄	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社内
㉔ 発明者 田仲 広久	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社内
㉔ 発明者 島田 康憲	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社内
㉔ 発明者 森本 弘	大阪府大阪市阿倍野区長池町22番22号	シャープ株式会社内
㉔ 出願人 シャープ株式会社	大阪府大阪市阿倍野区長池町22番22号	
㉔ 代理人 弁理士 青山 葦	大阪府大阪市阿倍野区長池町22番22号	外2名

明細書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 絶縁性基板上に薄膜トランジスタアレイをマトリクス状に形成して成るアクティブマトリクス基板において、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部を除いて、該ゲートバスラインが2層以上の導電体の薄膜より形成されていることを特徴とするアクティブマトリクス基板。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は液晶等と組み合わせてアクティブマトリクス表示装置を構成するための薄膜トランジスタアレイを有するアクティブマトリクス基板に関するものである。

【従来技術とその問題点】

アクティブマトリクス表示装置において、絵素欠陥や線状欠陥が発生することは、重大な品質不

良となる。これらの欠陥を防止するためには、アクティブマトリクス基板におけるゲートバスライン、ソースバスラインの断線、線間リークあるいは薄膜トランジスタ（以下TFTと称する）の動作不良をなくす必要がある。これらの欠陥原因としては、ホトリソグラフィプロセスあるいは薄膜形成プロセスにおけるゴミ、異物または膜の剥離がある。

以下に従来構造のTFTアクティブマトリクス基板について説明する。第24図は、TFTをそれぞれ含む絵素（A_{..}）をマトリクス状に配置したTFTアクティブマトリクス基板である。従来構造のTFTおよびバスライン、絵素電極を第22図、第23図に示す。第23図は第22図におけるB-B'断面を示す図である。ガラス基板S上にゲートバスラインa_{..} b_{..}をタンタル(Ta)で形成し、ゲート酸化膜は酸化タンタル(Ta₂O₅)層c_{..}、窒化シリコン(SiNx)層d_{..}の二重構造となつており、半導体層e_{..} f_{..}は真性アモルファスシリコン(a-Si(i))であり、ソースバスラインg_{..}

*h*はチタン (*T i*)、ドレイン電極 *i*、*j*はチタン、絵素電極 *k*、*l*はITO膜 (酸化インジウム透明導電膜)、半導体層とソース・ドレイン電極の間には、エッティングストッパー層としての窒化シリコン層 *r*, *m*およびn⁺型アモルファスシリコン (*a-Si(n⁺)*) 層 *p*, *q*が形成されている。

また、ソースバスライン *g*とゲートバスライン *a*のクロス部にはソース・ゲート間のリークを防止するため、*a-Si(i)/a-Si(n⁺)*層 *x*およびエッティングストッパー層 *n*が形成されている。ここでゲートバスライン *a*, *b*のタンタルあるいはソースバスライン *g*, *h*のチタンが何らかの原因で断線した場合、従来構造のアクティブマトリクス基板においては線状欠陥が生じる。また TFTについても何らかの原因で破損すると、従来構造のアクティブマトリクス基板においては絵素欠陥が生じる。

そのため、従来はこれらの欠陥を防止するため、プロセス上の対策がなされていたが、完全に防止することは困難であった。

を持たせたアモルファスシリコン (*a-Si*) 半導体 TFT アクティブマトリクス基板を示す。参照番号 1, 5 はそれぞれゲートバスライン、ソースバスラインである。TFT 1 はゲートバスラインから引き出された電極 13 とソースバスラインから引き出された電極 15 とに接続されている。また参考番号 14 はドレイン電極であり、透明導電膜である ITO 膜 12 に接続している。以上の基本構成は従来例と同じである。以下に本発明の各種の冗長性を持たせた部分について、①ゲートバスライン、②ソースバスライン、③絵素について説明する。

①ゲートバスライン

通常のゲートバスライン 1 と平行にバイパスライン 2 を設けている。この様にバイパスを設けることにより、実効的にバスラインの線幅が増加する。また、バスライン材料が剥離した場合でも、両方のバスライン 1, 2 が同時に剥離する確率は、バスラインが一本の場合の剥離の確率よりも低くなるので、バスライン 1, 2 のどちらかに剥離が

本発明は上記の欠点に鑑み、アクティブマトリクス基板において、ゲートバスラインの断線による線状欠陥を防止し、アクティブマトリクス表示装置の画像品位の向上を図るためのアクティブマトリクス基板の構造を提供することを目的とする。

【問題点を解決するための手段】

そこで、本発明に係るアクティブマトリクス基板は、絶縁性基板上に薄膜トランジスタアレイをマトリクス状に形成して成るアクティブマトリクス基板において、該トランジスタアレイのゲートバスラインとソースバスラインとのクロス部を除いて、該ゲートバスラインが 2 層以上の導電体の薄膜より形成されていることを特徴とする。

【作用】

本発明の構造とすれば、アクティブマトリクス基板における、ゲートバスラインの断線の発生確率が低下し、かつゲートバスラインの抵抗が低下する。

【実施例】

第 1 図に、本発明の実施例である各種の冗長性

生じても、以上の冗長性を持たせることにより TFT 全体としては欠陥のない作動性の良好なものとなる。また、第 2 1 図に示されるように、ゲートバスラインは 2 層の導電体薄膜であるチタン、タンタルより形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電気的に接続するためのスルーホール 3 が設けられている。スルーホール 3 を通じて各導電膜間を接続することによって、ゲートバスラインの抵抗の低減にも有効なようになっている。また、ソースバスラインとのクロス部 4 は、クロス数を減らすためにバイパス部を設けていない。クロス部を増やすと、ソース・ゲート間での上下リークが発生し易くなり、かつ浮遊容量も増加してしまうからである。

②ソースバスライン

通常のソースバスライン 5 とは別にゲートバスラインとのクロス部にはバイパスライン 6 を設けている。バイパスライン 6 を設けることで、実効的にソースライン線幅が増加する。また、ゲート

バスラインの場合と同様にソースバスライン全体の剥離の発生確率を低下させることができる。

また、第16図～第20図に詳しい断面を示すが、ソースバスラインも2層以上の導電体薄膜より形成されており、該導電体薄膜の各層間には絶縁体薄膜が設けられているので、該導電体薄膜の各層間を電気的に接続するためのスルーホール9が設けられている。スルーホール9を通じて各導電体薄膜間を接続することによって、ソースバスラインの断線防止と同時にソースバスラインの抵抗低減にも有効となっている。参照番号7,8はそれぞれソースバスラインとゲートバスラインとのリークを防止するための半導体膜であるa-Si(n^+)/a-Si(i)層、エッティングストッパーSiNx層である。7,8それは各クロス部において島状に分離して形成されている。これはa-Si(n^+)/a-Si(i)層7、エッティングストッパーSiNx層8が剥離することによって起るクロス部におけるソースバスラインの断線の確率を、島状に分離させるという冗長性によって低下させている。

次に、第1図のTFTアクティブマトリクス基板の製造プロセスを、第2図～第8図を参照しながら説明する。なお、以下の図に示す斜線部は、その時のプロセスにおける形成又は処理される部分を示している。

(プロセス1)

第2図に示すように、透明な絶縁性ガラス基板50上に膜厚500Å～5000Åのタンタルを蒸着して、ホトリソグラフィプロセスにより斜線部の様にバターニングを行う。第2図において、通常のゲートバスライン1と平行にゲートバイバスライン2を設けている。また、ソースバスラインとのクロス部4ではバイバスラインは形成されていない。これは前述した様に、ソース・ゲートのクロス部を増やすと、ソース・ゲート間での上下リークが起こりやすくなり、かつ浮遊容量も増加してしまうからである。

(プロセス2)

次に、第3図の斜線部のように、第2図のソースバスラインとなる5を除いて、つまりゲートバ

③絶縁

各絶縁の駆動を行うTFTは、TFT11,11の様に、一つの絶縁に対して2個設けられる。ここでは、ゲートバスラインからソースバスラインと平行に伸びたTFT接続用リードゲートライン13を介して、2個のTFTが並列に絶縁に接続されている。即ち、TFT11,11は同一ゲートバスラインと同一ソースバスラインに接続されている。二つのTFTにおいて同時にソースあるいはゲートの断線の発生確率を抑えるため、なるべく間隔を大きくしている。また、ドレイン電極14は、後述するように、チタンと絶縁電極材料ITOとを用いた2層構造となっている(第19図、第20図参照)。

以上の参照番号1,5,13等はソースバスライン、ゲートバスライン、ゲートバスラインからの引き出しライン等それ自身を表すのに用いたが、以下それらを構成する薄膜層をも表すこととする。

【製造プロセスの説明】

スラインを陽極酸化プロセスによりタンタル表面を酸化して膜厚500Å～5000ÅのTa₂O₅を形成する。

(プロセス3)

そして、PCVD法によりゲート絶縁膜SiNx層、a-Si(i)半導体層、エッティングストッパーSiNx層をそれぞれ膜厚500Å～6000Å,50Å～400Å,300Å～5000Åに形成した後、ホトリソグラフィプロセスでバターニングしてエッティングストッパー層だけを第4図の斜線部8のように形成する(第13図参照)。

(プロセス4)

そして、PCVD法により膜厚200Å～2000Åのa-Si(n^+)層を成膜した後、第5図の斜線部7,7で示すように、a-Si(n^+)/a-Si(i)層は島状に分離してホトリソグラフィプロセスでバターニングされる(第15図参照)。

(プロセス5)

次に、第6図に示すように、ソースバスライン上のゲート絶縁膜であるSiNx層にスルーホール

9を開ける。また、ゲートバスライン上の絶縁体層である $\text{SiN}_x/\text{Ta}_2\text{O}_5$ 層にもスルーホール3を開ける。スルーホールはそれぞれ2個ずつ開けられる。これは、ホトリソグラフィプロセス不良でどちらかのスルーホールがふさがった場合のために、やはり冗長性を持たせてスルーホールの欠陥を少なくするためである(第16図、第21図参照)。

(プロセス6)

続いて、チタンを膜厚が500Å～5000Åとなるようスパッタ蒸着し、第7図の斜線部のパターンのようにチタン、 $a-\text{Si}(n^+)$ をエッチングする。ところで、前述のスルーホール9、3を通して(プロセス1)において形成したパターンのタンタルと、当プロセスにおいて蒸着したチタンとが、このチタン自身がスルーホール内に入り込むことで電気的に接続される。従って、ゲートバスライン、ソースバスラインとともにチタン・タンタルの上下2重構造となる(第17図、第18図参照)。

(プロセス7)

一層をそれぞれ膜厚500Å～6000Å、50Å～4000Å、300Å～5000Åに形成する(第12図)。そしてホトリソグラフィプロセスで第12図におけるエッチングストッパー層を第4図に示す島状のエッチングストッパー層8に形成する(第13図)。次にPCVD法により膜厚200Å～2000Åの半導体層 $a-\text{Si}(n^+)$ を成膜する(第14図)。そしてホトリソグラフィプロセスで、第12図及び第14図において形成された半導体層 $a-\text{Si}(n^+)$ 、 $a-\text{Si}(i)$ を同時に、第5図の島状のパターン7に形成する(第15図)。次に、ゲート酸化膜 SiN_x にスルーホール9を開ける(第16図)。その後、チタンを膜厚500Å～5000Åにスパッタ蒸着した(第17図)後、チタン、 $a-\text{Si}(n^+)$ を、第7図に示すようにソースバスラインのパターンにホトリソグラフィプロセスで形成し(第18図)、絶縁電極となるITOを膜厚300Å～3000Åにスパッタ蒸着した(第19図)後、第8図の斜線部の様にバターニングする(第20図)。

以上が、第1図のA-A'断面に関する製造

次に、絶縁電極材料であるITOを、膜厚300Å～3000Åにスパッタ蒸着した後、ホトリソグラフィプロセスで第8図の斜線部のようにITO膜をバターニングする。なお、ITOは、絶縁電極及びTFTのドレイン電極14以外にも、ソースバスライン上やゲートバスラインの一部の上にもバターニングされ、(プロセス6)によるチタンの断線の発生を抑制することができる。

【断面図による製造プロセスの説明】

次に、本発明に係るアクティブマトリクス基板の製造プロセスを、第1図におけるA-A'断面に関して説明する。

第9図は、ガラス基板50上に、膜厚500Å～5000Åのタンタルを蒸着したところを示している。次に、第9図のタンタルを、第2図に示すパターンで断面が第10図のようにバターニングする。そして、第3図の斜線部のごくゲートバスラインのみを酸化して酸化膜を第11図のように形成する。そして、PCVD法によりゲート酸化膜 SiN_x 、半導体層 $a-\text{Si}(i)$ 、エッチングストッパー

プロセスである。

最後に、参考のために、第1図のC-C'断面図を第21図に示しておく。

【効果】

本発明によるアクティブマトリクス基板を用いたアクティブマトリクス液晶表示装置における線状欠陥の発生確率を低下させることができるとなる。従って、アクティブマトリクス液晶表示装置の製造歩留まりを向上させる事ができる。

4. 図面の簡単な説明

第1図は、本発明に係るアクティブマトリクス基板の薄膜トランジスタの構造図である。

第2図～第8図はそれぞれ、第1図における薄膜トランジスタアレイ製造プロセスを示す図である。

第9図～第20図はそれぞれ、第1図における薄膜トランジスタアレイのA-A'線方向の製造プロセスを示す断面図である。

第21図は、第1図における薄膜トランジスタアレイのC-C'線方向の断面図である。

第22図は、従来構造の薄膜トランジスタを示す図である。

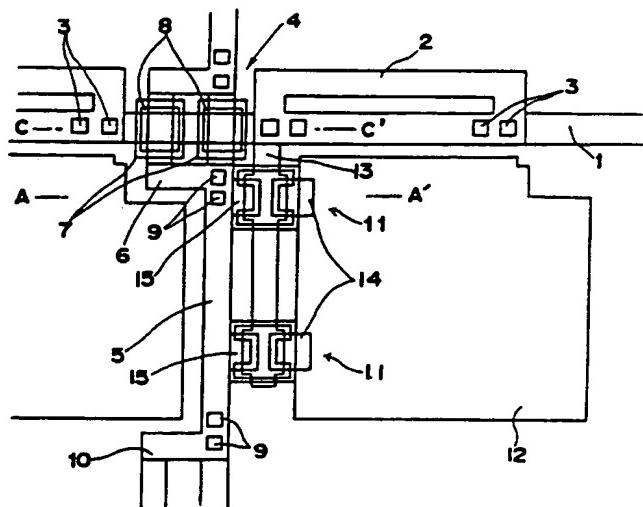
第23図は、第22図における薄膜トランジスタのB-B'線方向の断面図である。

第24図は、薄膜トランジスタを含む絵素(A..)をマトリクス状に配置したアクティブマトリクス基板を示す図である。

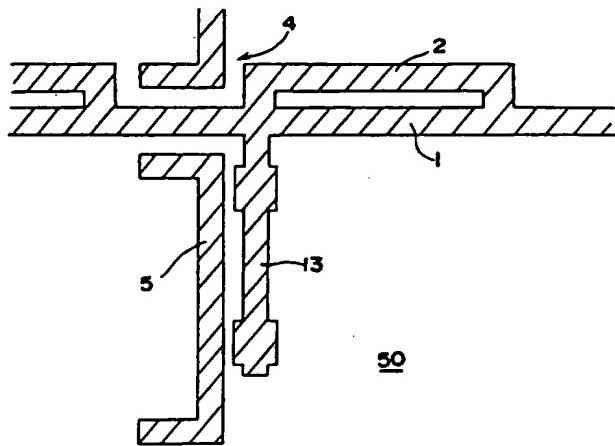
1…ゲートバスライン、4…ゲートバスラインとソースバスラインとのクロス部、
5…ソースバスライン、11…薄膜トランジスタ、
50…ガラス基板。

特許出願人 シャープ株式会社
代理人 弁理士 青山 蔦ほか2名

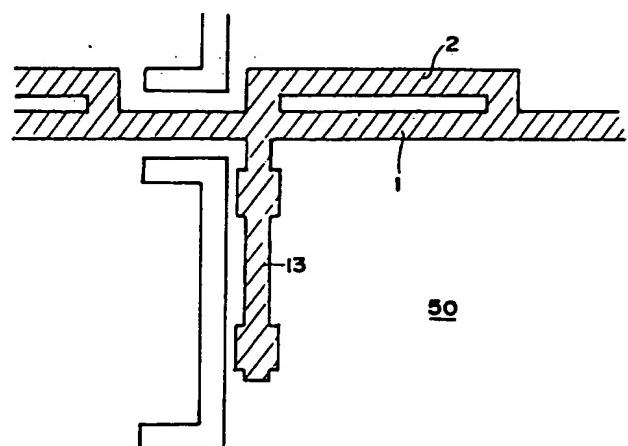
第1図



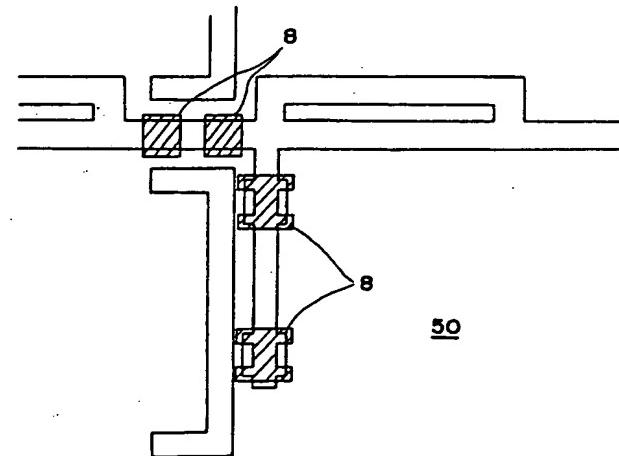
第2図



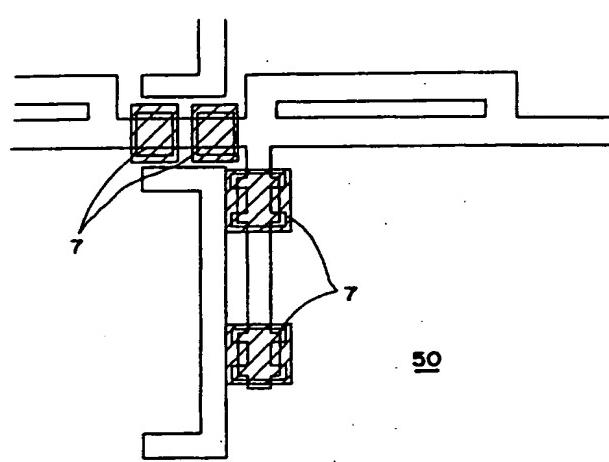
第3図



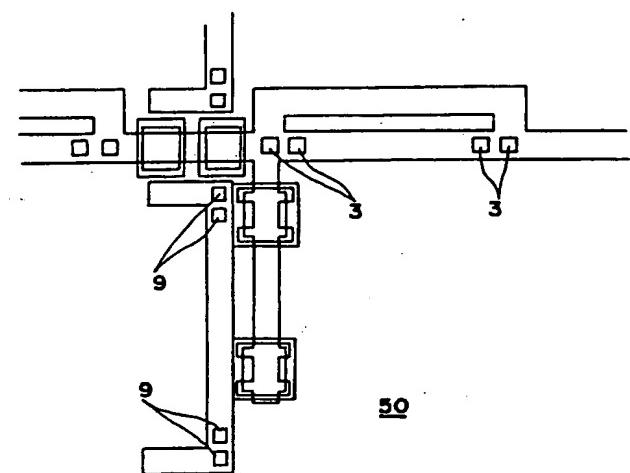
第4図



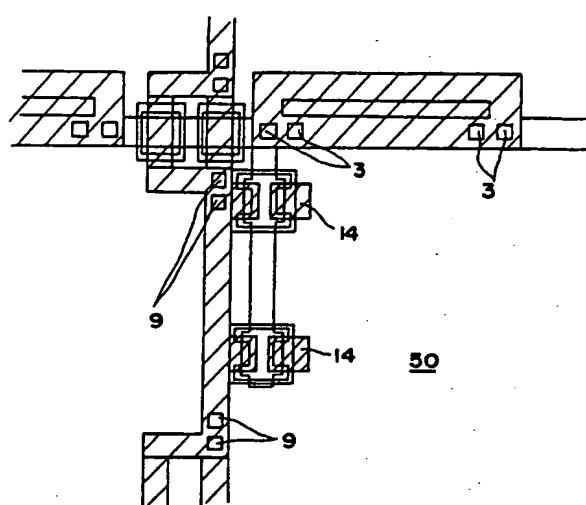
第5図



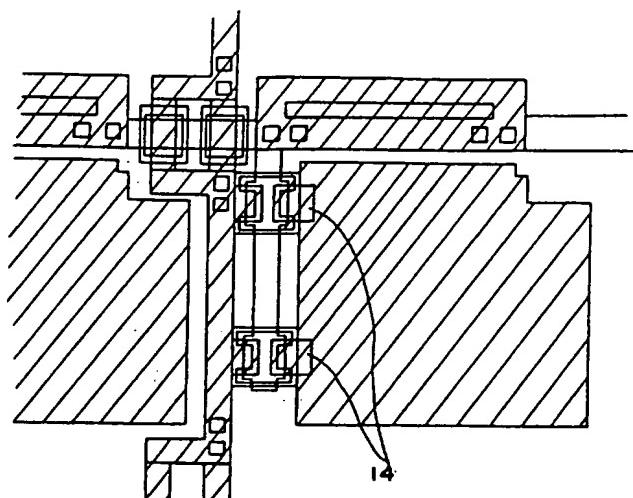
第6図



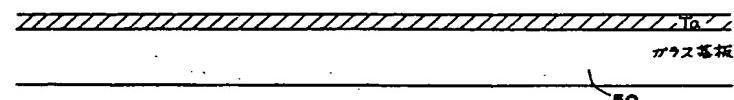
第7図



第8図



第9図



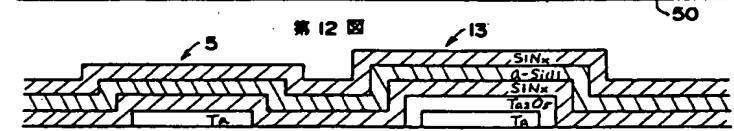
第10図



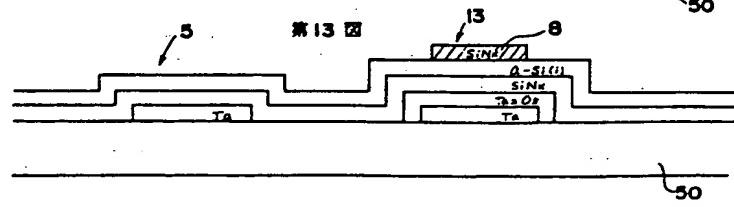
第11図



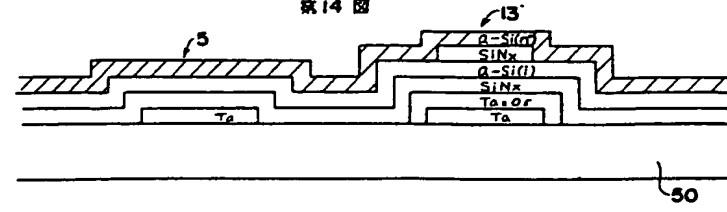
第12図



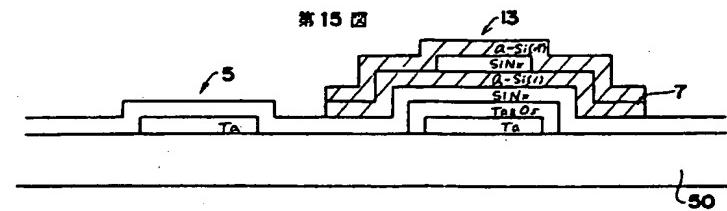
第13図



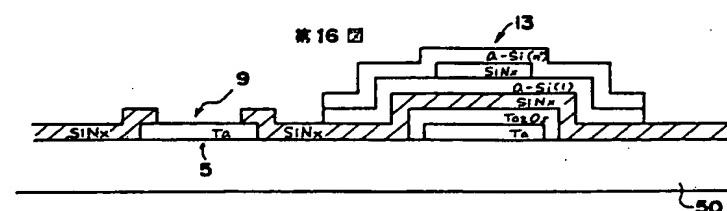
第14図



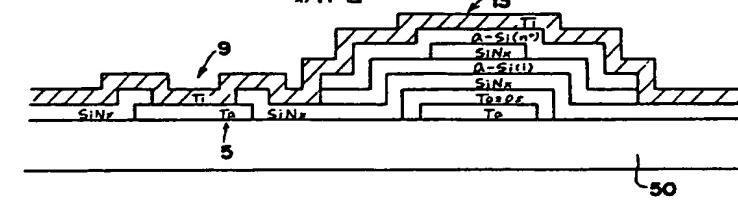
第15図



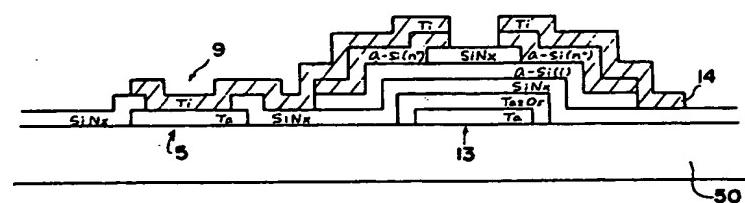
第16図



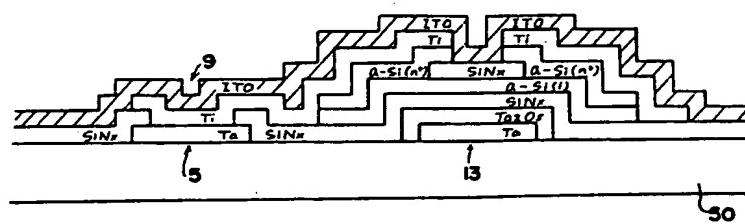
第17図



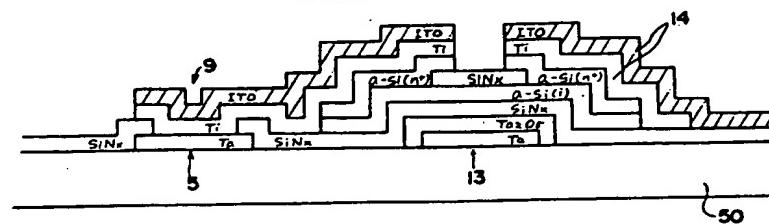
第18図



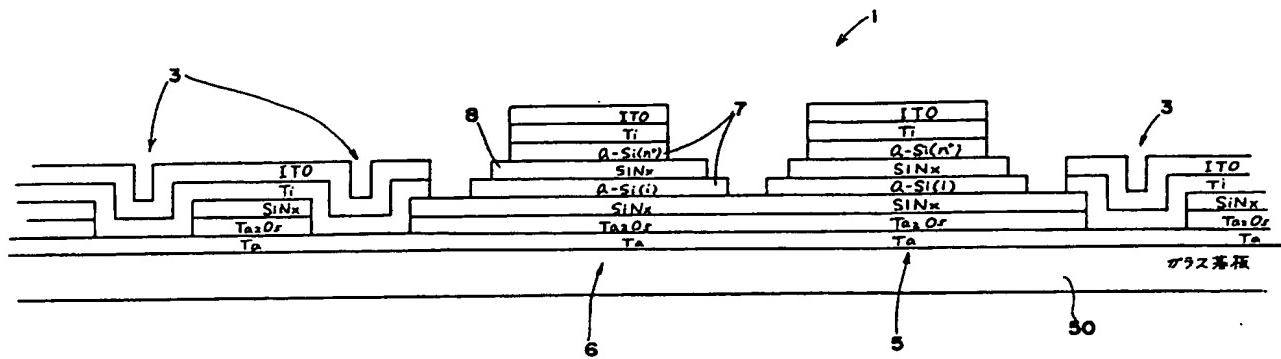
第19図



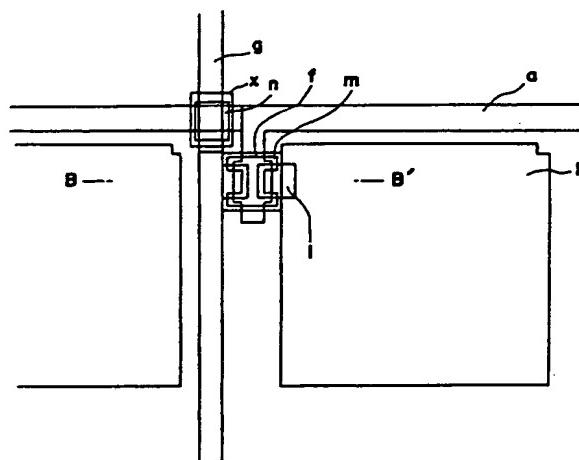
第20図



第21図



第22図



第24図

	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	---	Y_n
X_1	A ₁₁	A ₁₂	A ₁₃	A ₁₄	A ₁₅	A ₁₆	A ₁₇		---	A _{1n}
X_2	A ₂₁	A ₂₂	A ₂₃	A ₂₄	A ₂₅	A ₂₆	A ₂₇		---	A _{2n}
X_3	A ₃₁	A ₃₂	A ₃₃	A ₃₄	A ₃₅	A ₃₆	A ₃₇		---	A _{3n}
X_4	A ₄₁	A ₄₂	A ₄₃	A ₄₄	A ₄₅	A ₄₆	A ₄₇		---	A _{4n}
X_5	A ₅₁	A ₅₂	A ₅₃	A ₅₄	A ₅₅	A ₅₆	A ₅₇		---	A _{5n}
X_6	A ₆₁	A ₆₂	A ₆₃	A ₆₄	A ₆₅	A ₆₆	A ₆₇		---	A _{6n}
X_7	A ₇₁	A ₇₂	A ₇₃	A ₇₄	A ₇₅	A ₇₆	A ₇₇		---	A _{7n}
X_8	---	---	---	---	---	---	---		---	---
X_m	A _{m1}	A _{m2}	A _{m3}	A _{m4}	A _{m5}	A _{m6}	A _{m7}		---	A _{mn}

第23図

